

## COMPITO IN CLASSE DI SISTEMI

### Classe 4 A Inf. a.s. 2009/2010

1) (punti 1) Data una memoria RAM da 256MB, con 512kB di memoria cache 4-way da 32 byte, dite come è organizzato l'indirizzo logico

2)(punti 1) Si supponga di avere a disposizione 3 linee di memoria cache per un set e che le richieste di blocchi di memoria siano le seguenti:

7,0,1,2,0,3,0,4,2,3,0,3,2,1,2,0,1,7,0,1

Inizialmente le tre linee sono libere e viene caricata un blocco alla volta. Si dica quanti page faults si verificano nel caso che si usi una strategia di tipo FIFO per il rimpiazzo delle pagine (all'interno del gruppo dei tre blocchi considerati) oppure una di tipo LRU.

3) (punti 1) Si supponga di avere a disposizione 4 linee di cache per il caricamento di blocchi di memoria la cui sequenza è la seguente

pagina	caricamento	Ultimo accesso
0	50	59
1	76	100
2	10	15
3	15	35

Supponendo la seguente richiesta di pagine : 1,4,3,1,2  
definite la percentuale di page fault che si verificheranno utilizzando le tecniche LRU e FIFO.

4) (punti 1) Se l'address bus di un processore, con memoria indirizzata a byte, ha 32 linee e queste sono collegate ad una memoria cache set associativa a 4 vie che contiene 64 blocchi, ciascuno costituito da 16 byte, i comparatori di TAG confrontano coppie di n bit e il byte di indirizzo \$AABBCCDD, se presente nella cache, è contenuto nel set di indice s. (indice del set in notazione decimale)

5) (punti 1) In una memoria cache completamente associativa, comprendente 1024 blocchi da 32 byte, a ciascun suo blocco sono associati un TAG e 8 bit di controllo (di validità). La dimensione complessiva (comprendente i 1024 blocchi, i relativi TAG e i bit di validità) della cache è di 36 Kbyte. Allora la massima estensione della memoria centrale indirizzabile è pari a 2k byte.

ALUNNO

---