

# I MALFUNZIONAMENTI NEI CIRCUITI COMBINATORI

DAVIDE TAMBUCHI

SOMMARIO. In questo articolo verranno esaminate le cause dei malfunzionamenti dei circuiti digitali combinatori, dovute ai ritardi di propagazione delle porte logiche che li compongono. Questi fenomeni non sono considerati nella quasi totalità dei testi scolastici di Elettronica, che considerano le porte come ideali. Tuttavia, nel progetto di un sistema reale, è assolutamente necessario tenerne conto, onde evitare malfunzionamenti indesiderati.

## 1. LE ALEE STATICHE

Per *alea* si intende un malfunzionamento di un circuito, *dovuto ai ritardi di propagazione* dei segnali elettrici all'interno del circuito stesso. Cominciamo l'analisi dal malfunzionamento più semplice, la cosiddetta *alea statica*, dovuta alla propagazione di un segnale elettrico per *due* vie differenti, aventi diverso ritardo di propagazione.

**1.1. Le alee statiche di tipo 1 e la loro origine.** Per analizzare in dettaglio il fenomeno delle alee statiche, consideriamo la tabella 1.1, che rappresenta la tabella della verità per un circuito combinatorio a 3 ingressi (che chiameremo  $x$ ,  $y$ ,  $z$ ), ed ad una sola uscita  $u$ .

$x$	$y$	$z$	$u$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

TABELLA 1. Tabella della verità per il circuito di figura 1

A partire dalla tabella 1.1 è possibile ricavare la mappa di Karnaugh riportata in figura 1, dalla quale vediamo che è possibile scrivere l'equazione logica (nella *forma canonica di somma di prodotti*):

$$(1) \quad u = x\bar{z} + \bar{x}y$$

Questa equazione è ottenuta effettuando il numero *minimo* di raccoglimenti necessari a contenere tutti gli 1 della mappa, ovvero due.

Se le porte fossero *ideali*, tale raccoglimento consentirebbe di ottenere con successo il circuito *più semplice* in grado di assolvere il compito assegnatogli. Questo è il procedimento di minimizzazione illustrato nella maggior parte dei libri scolastici di elettronica digitale.

Tuttavia, occorre notare come, al momento della realizzazione e del collaudo del circuito (necessariamente ottenuto con *porte logiche reali*), l'uscita presenti dei comportamenti anomali, rappresentati da transizioni logiche ( $1 \rightarrow 0$  e  $0 \rightarrow 1$ ), alquanto rapide ed indesiderate.

Questi comportamenti sono normalmente irricognoscibili quando vengono dei realizzati dei semplici circuiti a scopo didattico, in cui le uscite non vengono analizzate accuratamente (ad esempio, sono irrilevabili se utilizziamo un diodo led per visualizzare l'uscita del circuito). Nel caso in cui il circuito debba assolvere a compiti più impegnativi, come l'elaborazione ed il conteggio di segnali rapidamente variabili (si pensi ad esempio all'elaborazione del segnale televisivo digitale), questi malfunzionamenti rendono il circuito assolutamente inutilizzabile.

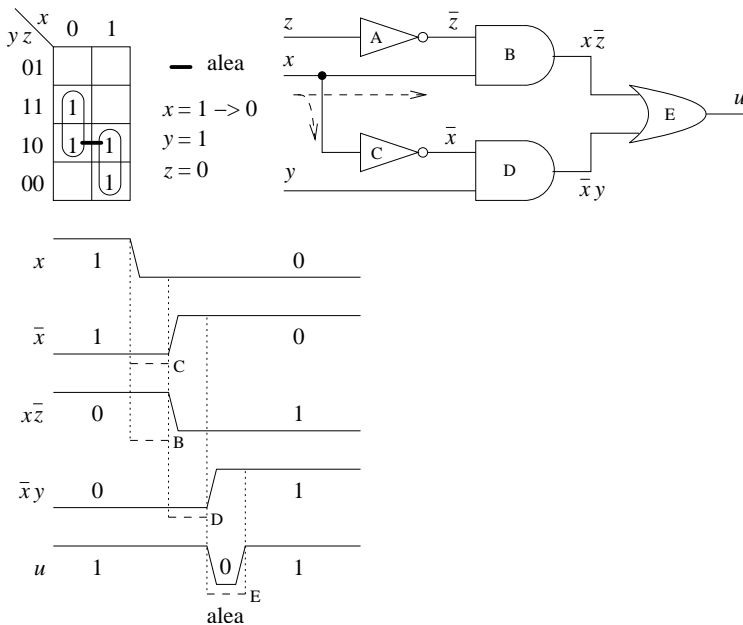


FIGURA 1. Circuito che presenta un'alea statica di tipo 1

Per comprendere come e perché si verificano tali comportamenti, consideriamo il circuito di figura 1, ottenuto dall'equazione 1. Supponiamo che le variabili di ingresso  $y$  e  $z$  non cambino di valore, e sia  $y = 1$  e  $z = 0$ . Facciamo inoltre variare l'ingresso  $x$  dal valore 1 al valore 0, come rappresentato in figura. Il segnale  $x$  passa attraverso la porta B, ove dopo un ritardo (indicato con una linea tratteggiata contrassegnata dalla lettera B) si ha una commutazione dell'uscita  $x\bar{z}$  dal livello alto a quello basso. Nello stesso tempo, il segnale  $x$  si propaga anche attraverso la porta NOT C, facendone commutare l'uscita dopo un inevitabile ritardo<sup>1</sup>.

Il segnale di uscita della porta C farà a sua volta commutare l'uscita della porta D (con ovvio ritardo), e l'uscita  $u$  risulterà la somma logica (OR) delle uscite della porte C e D. Notiamo, che a seguito dei diversi ritardi di propagazione del segnale  $x$  (che come illustrato nel circuito si propaga per due vie differenti), fanno sì che l'uscita  $u$  non si mantenga sempre al valore 1 (come dovrebbe essere se le porte fossero ideali), ma che per un breve istante, pari al ritardo di propagazione di una

<sup>1</sup>Per semplicità, supponiamo che tutte le porte abbiano lo stesso ritardo di propagazione (ciò è ragionevole se supponiamo che tutte le porte siano della stessa famiglia, o che siano tutte all'interno del medesimo circuito integrato). In ogni caso, le tecniche di eliminazione delle alee illustrate di seguito varranno anche nel caso di ritardi di propagazione differenti per le varie porte.

porta, l'uscita si porta a livello basso. Questo malfunzionamento, indesiderato, in cui l'uscita per un breve istante si porta a livello 0, anzichè mantenersi a livello 1, è detta *alea statica di tipo 1*.

Ritorniamo ora alla mappa di Karnaugh di figura 1; ed osserviamo che nella terza riga, vi sono due 1 adiacenti che non sono stati inclusi in alcun raggruppamento. È proprio la presenza di questi 1 adiacenti che causa il malfunzionamento sopra descritto.

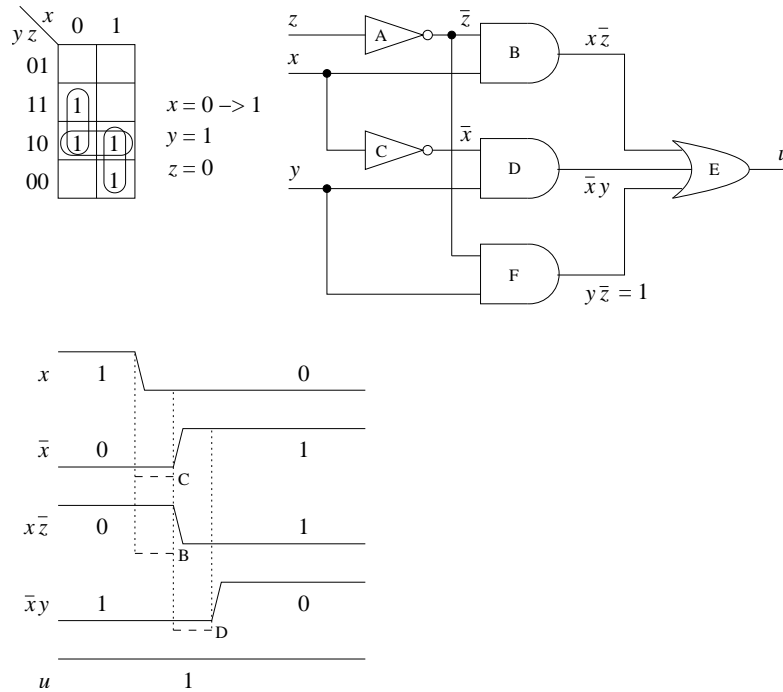


FIGURA 2. Eliminazione dell'alea statica di tipo 1

Per ovviare a questo inconveniente, *occorre e basta* effettuare anche questo raggruppamento nella mappa, come indicato in figura 2. In questo caso si avrà a che fare con un circuito più complesso (si ha la presenza di una porta in più), ma come indicato chiaramente dal grafico che rappresenta i segnali, l'alea è scomparsa.

**1.2. Le alea statiche di tipo 0.** Se si vuol realizzare un circuito logico nella forma canonica di *prodotti di somme*, basta, come è noto dai testi di Elettronica, raccogliere gli 0 anzichè gli 1 all'interno della mappa di Karnaugh. Questo procedimento è illustrato, a titolo di esempio, in figura 3.

Come si può vedere, tenendo fissi i valori degli ingressi  $y$  e  $z$  rispettivamente a 0 ed ad 1, e facendo variare l'altro ingresso  $x$  dal livello alto al livello basso si genera, per le stesse cause viste in precedenza, una rapida transizione dell'uscita al livello alto (cosa che non si verifica con porte ideali). Anche qui, il tutto è dovuto alla mancanza di un raggruppamento nella mappa (per eliminare l'alea occorre e basta raccogliere gli 0 presenti nella terza riga della mappa). Questo tipo di malfunzionamento, in cui l'uscita non si mantiene al valore basso, ma che assume per un breve istante il valore 1, è detta *alea statica di tipo 0*.

**1.3. Eliminazione delle alea statiche.** Passiamo ora a chiederci come sia possibile eliminare le alea statiche (sia di tipo 0 che di tipo 1), anche nel caso che

volessimo utilizzare metodi di semplificazione delle equazioni booleane differenti dalle mappe di Karnaugh.

Si può facilmente vedere che si ha la presenza di alee statiche ogniqualvolta nel processo di semplificazione delle equazioni, si utilizzano le seguenti proprietà:

$$(2) \quad x\bar{x} = 0 \quad x + \bar{x} = 1 \quad x + \bar{x}y = x + y \quad xy + \bar{x}z + yz = xy + \bar{x}z$$

o le loro duali (ottenute applicando il teorema di De Morgan a tali proprietà).

Pertanto, onde evitare la presenza di alee, *non* vanno mai applicate, nel processo di semplificazione, le equazioni (2) e le loro duali.

La figura 4 mostra come, in presenza di ritardi, non sia più vero che  $x\bar{x} = 0$  (compare per un breve istante una alea di tipo 0 e che lo stesso accade per la proprietà duale  $x + \bar{x} = 1$  (compare una alea di tipo 1. Pertanto, è un grave errore

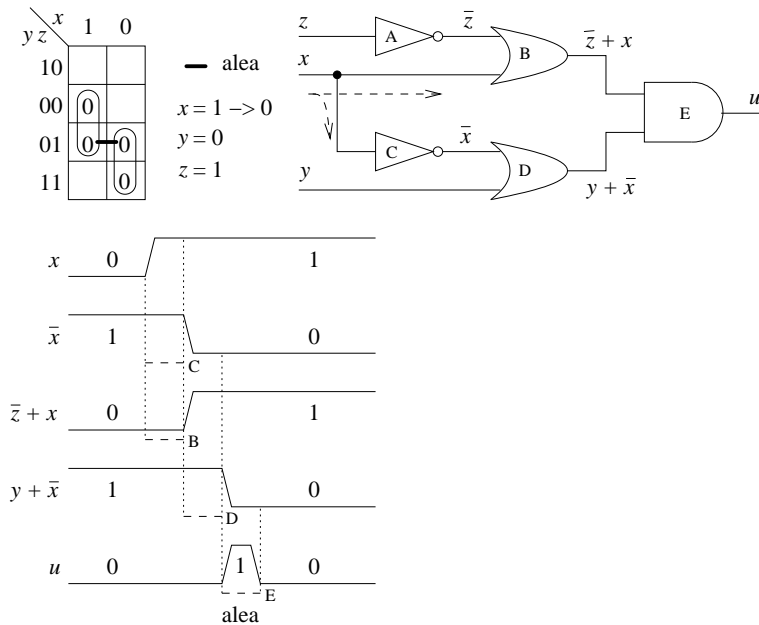


FIGURA 3. Circuito che presenta un'alea statica di tipo 0

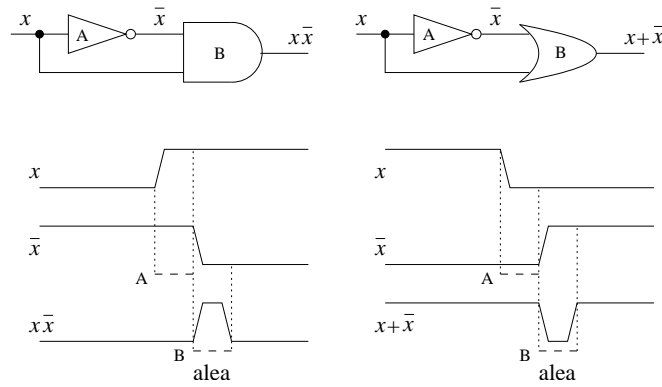


FIGURA 4. Esempi di alee dovute alla presenza del termine  $x\bar{x} = 0$  e del suo duale

semplificare le equazioni utilizzando le proprietà (2) e le loro duali, come indicato in tutti i libri introduttivi all'elettronica digitale.

L'eliminazione delle alee è di conseguenza basata sui seguenti principi:

- (1) Nella forma somma di prodotti, in una mappa di Karnaugh, non bisogna lasciare coppie di 1 adiacenti in raccoglimenti differenti.
- (2) Nella forma prodotti di somme, in una mappa di Karnaugh, non bisogna lasciare coppie di 0 adiacenti in raccoglimenti differenti.
- (3) Nelle equazioni, non devono esistere termini prodotto che contengono coppie di ingressi del tipo  $x\bar{x}$  oppure  $x + \bar{x}$ .
- (4) Non bisogna mai utilizzare le relazioni (2), e le loro duali, nei processi di minimizzazione.

Notiamo infine come nei circuiti in forma canonica di *somma di prodotti* si hanno solo alee statiche di tipo 1, mentre nella realizzazione in forma canonica di *prodotto di somme* si hanno solo alee statiche di tipo 0. Infatti, al fine di avere una alea di tipo 0 in un circuito realizzato come somma di prodotti, si dovrebbe avere una porta AND avente in ingresso una coppia di segnali del tipo  $x$  ed  $\bar{x}$  (vedi figura 4, ma ciò è impossibile, proprio per il procedimento di minimizzazione seguito. Analogamente, per avere una alea di tipo 1 in un circuito realizzato come prodotto di somme, si dovrebbe trovare una porta OR con ingressi  $x$  ed  $\bar{x}$ , ma anche questo è impossibile (tali porte sarebbero del tutto ridondanti, e possono essere introdotte solo intenzionalmente).

## 2. LE ALEE DINAMICHE

Le alee dinamiche si presentano quando un segnale attraversa *tre o più* percorsi, all'interno di circuito logico, con ritardi differenti.

**2.1. Un esempio di alea dinamica.** In figura 5 è rappresentato un circuito logico in cui è presente un'alea dinamica; ciò è dovuto al fatto che il segnale  $x$  (che commuta da 0 ad 1) passa attraverso *tre* percorsi con ritardi differenti.

Come si può notare osservando l'uscita  $u$ , un'alea dinamica si presenta sotto forma di una *oscillazione*. Il numero di oscillazioni è tanto maggiore tanto più grande è il numero di percorsi seguiti da un ingresso.

**2.2. Eliminazione delle alee dinamiche.** Le alee dinamiche non preoccupano più di tanto; si dimostra infatti che in un circuito che *non contiene alee statiche non vi neppure sono alee dinamiche*; pertanto eliminando tutte le alee statiche si eliminano conseguentemente anche tutte le alee dinamiche.

## 3. ESERCIZI

**3.1. Esercizio 1.** Cosa succede applicando un segnale  $x$  che passa dal livello alto al livello basso nel circuito di sinistra di figura 4?

E cosa succede applicando un segnale  $x$  che passa da 0 ad 1 nel circuito di destra della stessa figura?

**Soluzione.** In entrambi i casi *non* si verifica alcuna alea, come illustrato in figura 6.

**3.2. Esercizio 2.** Individuare tutte le alee statiche, ed eliminarle, per il circuito rappresentato in figura 7.

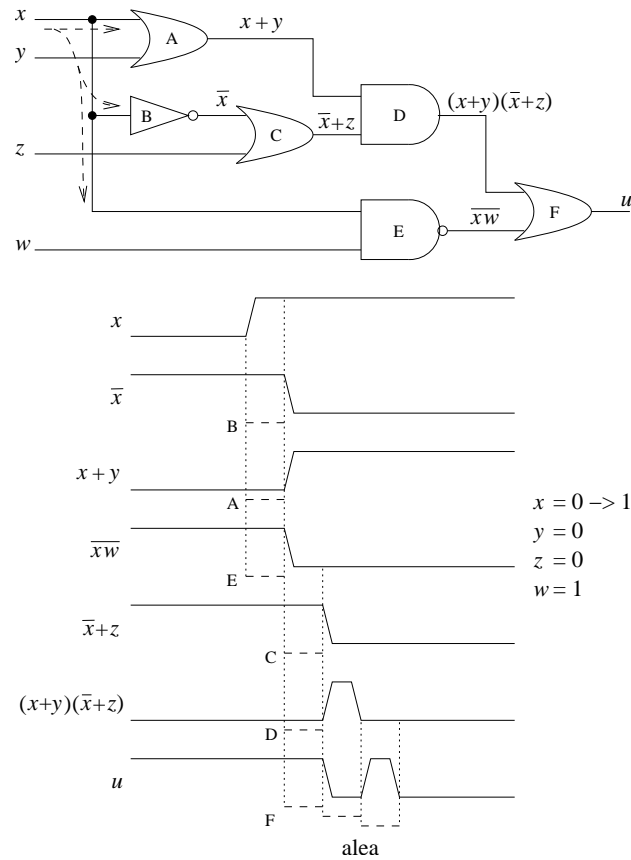


FIGURA 5. Circuito che presenta un'alea dinamica

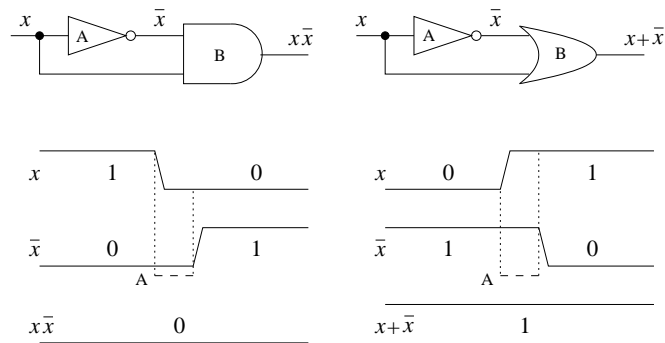


FIGURA 6. Soluzione esercizio 1

**Soluzione.** Per prima cosa, scriviamo l'equazione booleana del circuito:

$$(3) \quad u = \bar{x}\bar{y} + yz + x\bar{z}$$

e da essa ricaviamo la tabella della verità (vedi tabella 3.2).

A questo punto, possiamo ricavare la mappa di Karnaugh ed individuare *tutti e soli* i raggruppamenti che portano all'equazione (3); tale mappa è rappresentata in figura 8.

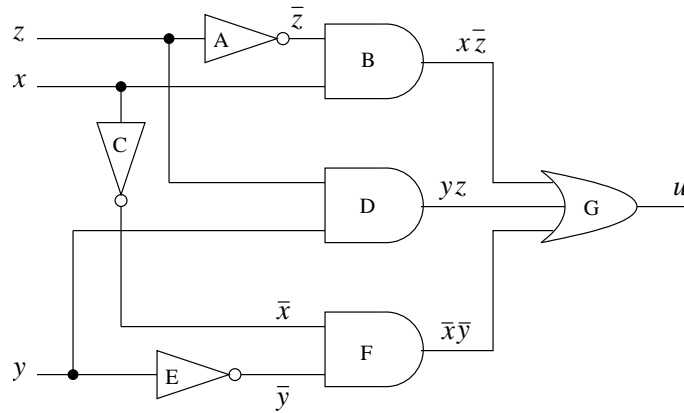


FIGURA 7. Circuito per l'esercizio 2

$x$	$y$	$z$	$u$
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

TABELLA 2. Tabella della verità per il circuito di figura 7

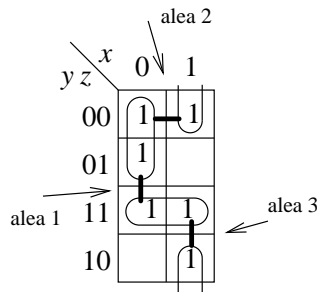


FIGURA 8. Mappa di Karnaugh per l'esercizio 2

Da questa mappa possiamo notare che esistono *tre* coppie di 1 adiacenti non comprese nei raggruppamenti; queste coppie sono indicate con un trattino nero all'interno della mappa. Si hanno pertanto *tre* alee statiche di tipo 1 (perchè il circuito è realizzato sotto forma di somma di prodotti), e precisamente per:

**Alea 1:**  $x = 0, y = 1 \rightarrow 0, z = 1$ .

**Alea 2:**  $x = 1 \rightarrow 0, y = 0, z = 0$ .

**Alea 3:**  $x = 1, y = 1, z = 1 \rightarrow 0$ .

Ad esempio, in figura 9 è rappresentata l'alea 1. La rappresentazione delle rimanenti due alee è lasciata al lettore per esercizio.

Per l'eliminazione delle alee, occorre e basta aggiungere tre nuovi raccoglimenti, come illustrato in figura 10.

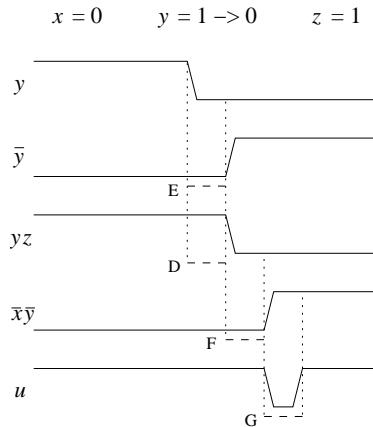


FIGURA 9. Alea 1 per il circuito dell'esercizio 2

	$x$	0	1
$yz$	00	1	1
01	1		
11	1	1	
10		1	

FIGURA 10. Eliminazione delle alee per l'esercizio 2

Si ottiene così l'equazione per il circuito privo di alee:

$$u = \bar{x}\bar{y} + yz + x\bar{z} + \bar{y}\bar{z} + \bar{x}z + xy$$

Il disegno del circuito privo di alee è lasciato al lettore.

#### 4. AVVERTENZA

Questo documento può essere liberamente distribuito, purché senza modifiche, integralmente, gratuitamente e senza scopo di lucro o altri scopi commerciali. Ogni cura è stata posta nella stesura del documento. Tuttavia l'Autore non può assumersi alcuna responsabilità derivante dall'utilizzo della stessa. Per la segnalazione di errori e *bugs* contattare l'autore all'indirizzo email: [davide.tambuchi@tin.it](mailto:davide.tambuchi@tin.it). Ultimo aggiornamento: 8 febbraio 2004.

#### RIFERIMENTI BIBLIOGRAFICI

- [1] S.J. Cahill. *Digital and Microprocessor Engineering - second edition*, Ellis Horwood, Chichester, (1993).
- [2] Z. Kohavi. *Switching and Finite Automata Theory*, McGraw-Hill, New York, (1978).
- [3] M. Sami, R. Negrini. *Calcolatori Elettronici, Appunti del Corso*, CLUP, Milano, (1986).
- [4] J.D. Nicoud. *Progetto di Interfacce per Microprocessori*, Addyson-Wesley Masson, Milano, (1991).
- [5] S.H. Unger. *Asynchronous Sequential Switching Circuits*, Robert E. Krieger Publishing Company, Malabar, Florida, (1983).