

LA RICERCA DEI GUASTI NEI CIRCUITI COMBINATORI

DAVIDE TAMBUCHI

SOMMARIO. In questo articolo verrà illustrata una tecnica di *individuazione* dei guasti all'interno dei circuiti digitali combinatori. Più precisamente, verrà illustrato un metodo per la determinazione del *numero minimo* di combinazioni degli ingressi al fine di verificare il corretto funzionamento di un circuito combinatorio.

1. INTRODUZIONE

La *ricerca dei guasti* può essere distinta in *individuazione* dei guasti, ed in *localizzazione* degli stessi. Per *individuazione* si intende una qualsiasi procedura atta ad identificare se un circuito elettronico funziona correttamente, oppure no. Nel caso di circuiti digitali combinatori, ciò può essere verificato osservando il comportamento ingresso-uscita del circuito stesso; ad esempio applicando in ingresso tutte le combinazioni possibili di segnali, ed osservando se le corrispondenti uscite corrispondono alle specifiche di progetto, o no. Occorre tuttavia notare che non è quasi mai opportuno applicare *tutte* le combinazioni di ingressi, ma che un buon test si limita ad applicare *alcune* sequenze significative, *necessarie e sufficienti* a verificare il corretto funzionamento di un circuito. Per *localizzazione* si intende la ricerca di quella parte di circuito che dá luogo ad un guasto; anch'essa può essere ottenuta applicando un sottoinsieme di tutte le possibili combinazioni di ingresso. Occorre tuttavia notare come la localizzazione sia in generale assai più complessa dell'individuazione dei guasti, e che in moltissimi casi, essa non è nemmeno richiesta. Si pensi ad esempio alla necessità di verificare il funzionamento di un circuito integrato, ed all'impossibilità di riparare un qualsiasi guasto al suo interno. In ogni caso, sia nell'individuazione che nella localizzazione dei guasti, risulta assai dispendioso applicare tutte le combinazioni di ingresso possibili. È dunque importante imparare delle tecniche che permettano di testare il corretto funzionamento di un circuito o l'eventuale presenza di guasti, utilizzando un numero ridotto di combinazioni degli ingressi. Nel presente articolo tratteremo di una tecnica adatta ad *individuare* uno tra i guasti più probabili, ovvero atta all'individuazione di un *guasto singolo* dovuto ad un blocco di un collegamento tra due porte logiche, che si verifica quando un collegamento tra l'uscita di una porta e l'ingresso di un'altra assume sempre il valore 0, oppure il valore 1.

1.1. Indistinguibilità dei guasti singoli. Per poter imparare questa tecnica, dobbiamo tener presente che un collegamento tra due porte, nel caso di circuito *sano*, può assumere, nel tempo, sia il valore 1 che il valore 0. In caso di *blocco di un collegamento*, causato da un guasto (ad esempio, da una interruzione di un collegamento, di una saldatura difettosa, dal guasto dell'uscita di un porta) esso può rimanere permanentemente *fisso a 1* oppure *fisso a 0*. Consideriamo, ora, la porta NOT rappresentata in figura 1; e supponiamo che il filo *A*, sia, per un guasto, bloccato a livello 0. In questo caso, l'uscita (presente sul filo *B*) rimane fissa ad 1. Analogamente, se *A* rimane sempre a livello 1, l'uscita rimane sempre a 0.

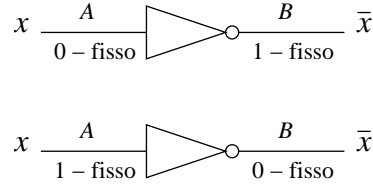


FIGURA 1. Classi di guasto indistinguibili in una porta NOT

Nel caso in cui *non* potessimo misurare i valori presenti sui fili A e B , non sarebbe possibile distinguere un blocco all'ingresso da uno in uscita di una porta NOT, e più precisamente, possiamo dire che:

- Un guasto dovuto ad un *blocco a 0* dell'ingresso di una porta NOT è indistinguibile da un guasto dovuto ad un blocco ad 1 della sua uscita. Scriveremo ciò con la notazione $\{A/0, B/1\}$.
- Analogamente, un guasto dovuto ad un *blocco a 1* dell'ingresso di una porta NOT è indistinguibile da un guasto dovuto ad un blocco ad 0 della sua uscita. Scriveremo ciò con la notazione $\{A/1, B/0\}$.

In definitiva, in una porta NOT si hanno due *classi di guasto*, cioè due insiemi che contengono guasti tra loro indistinguibili.

Passiamo ora a considerare una porta AND (vedi figura 2); per essa sappiamo che quando uno qualsiasi degli ingressi è bloccato al livello 0, segue di conseguenza che l'uscita risulta bloccata anch'essa a 0, mentre quanto un singolo ingresso è bloccato ad 1, non possiamo dire nulla dell'uscita (che dipende dal valore degli altri ingressi).

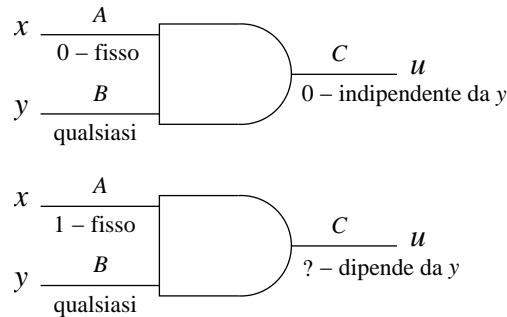


FIGURA 2. Classi di guasto indistinguibili in una porta AND

Pertanto, per una porta AND, si ha la seguente classe di guasti indistinguibili: $\{A/0, B/0, C/0\}$, $\{A/1\}$, $\{B/1\}$, $\{C/1\}$.

Con ragionamenti analoghi, possiamo individuare tutte le classi di guasti indistinguibili per ciascuna porta logica, come rappresentato nella tabella 1.1. In questa tabella, per la sola porta NOT la lettera A indica l'ingresso e la B il collegamento in uscita; per tutte le rimanenti porte della tabella le lettere A e B si riferiscono agli ingressi, e C all'uscita.

Notiamo come per una porta EXOR, il blocco a 1 (oppure a 0) di un qualsiasi ingresso non blocca l'uscita della porta, che dipende sempre dal valore assunto dall'altro ingresso; pertanto non esistono coppie o terne di guasti indistinguibili tra loro, ma ogni guasto è singolarmente distinguibile dagli altri.

TABELLA 1. Classi di guasti indistinguibili per le diverse porte

Porta	Classi di guasti indistinguibili
NOT	$\{A/0, B/1\}, \{A/1, B/0\}$
AND	$\{A/0, B/0, C/0\}, \{A/1\}, \{B/1\}, \{C/1\}$
OR	$\{A/1, B/1, C/1\}, \{A/0\}, \{B/0\}, \{C/0\}$
NAND	$\{A/0, B/0, C/1\}, \{A/1\}, \{B/1\}, \{C/0\}$
NOR	$\{A/1, B/1, C/0\}, \{A/0\}, \{B/0\}, \{C/1\}$
EXOR	$\{A/1\}, \{A/0\}, \{B/1\}, \{B/0\}, \{C/1\}, \{C/0\}$

2. LA RICERCA DELLE SEQUENZE DI TEST

Possiamo ora passare all'analisi della tecnica che ci consente di determinare il sottoinsieme minimo di sequenze di test atte a individuare la presenza di un guasto singolo; per far ciò consideriamo il circuito di figura 3.

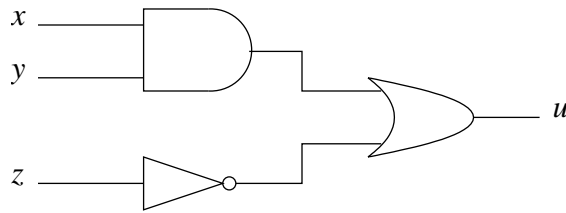


FIGURA 3. Circuito combinatorio per l'esempio illustrativo

2.1. Individuazione dei collegamenti e delle porte. La prima cosa da fare consiste nell'assegnare un'etichetta a tutti i collegamenti e a tutte le porte; indichiamo pertanto le porte con $P1, P2$, eccetera ed i collegamenti con A, B , eccetera, come illustrato in figura 4.

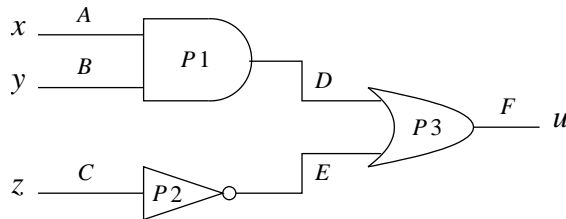


FIGURA 4. Etichettatura dei collegamenti e delle porte

2.2. Elenco dei guasti. A questo punto, possiamo elencare *tutti* i possibili blocchi a 0 ed a 1 dei collegamenti; ad esempio nel nostro circuito abbiamo 6 collegamenti, e di conseguenza 12 possibili guasti. L'elenco dei guasti è riportato in tabella 2.2.

TABELLA 2. Elenco di tutti i possibili guasti

A/0	A/1	B/0	B/1	C/0	C/1	D/0	D/1	E/0	E/1	F/0	F/1
1	2	3	4	5	6	7	8	9	10	11	12

Questo passo del procedimento è facoltativo, e può essere saltato dopo qualche esercizio; infatti esso serve solo a elencare tutti i possibili guasti, onde non dimenticarne nessuno.

2.3. Collasso dei guasti. Il *collasso* dei guasti è quell'operazione che consente di raggruppare, porta per porta (utilizzando le classi di guasti indistinguibili di tabella 1.1), tutte le classi di guasto indistinguibili. Ad esempio, per la porta $P2$, i guasti $C/0$ ed $E/1$ sono indistinguibili tra loro, così come lo sono $C/1$ ed $E/0$. Si ottiene così la tabella 2.3:

TABELLA 3. Tabella dei guasti collassati

Porta	Classi di guasti indistinguibili
$P1$	$\{A/0, B/0, D/0\}, \{A/1\}, \{B/1\}, \{D/1\}$
$P2$	$\{C/0, E/1\}, \{C/1, E/0\}$
$P3$	$\{D/1, E/1, F/1\}, \{D/0\}, \{E/0\}, \{F/0\}$

2.4. Raggruppamento in classi di guasti indistinguibili. Utilizzando la tabella 2.3, possiamo raggruppare ulteriormente tutti i guasti. Consideriamo, ad esempio, il guasto $D/0$, che compare nella prima e nella terza riga di tale tabella. Esso è indistinguibile dai guasti $A/0$ e $B/0$, e pertanto può essere scritto una sola volta, assieme ad essi. Etichettiamo questa terna di guasti con il numero 1, come in tabella 2.4.

TABELLA 4. Raggruppamento dei guasti in classi di indistinguibilità

Numero della classe di guasto	Raggruppamento guasti indistinguibili
1	$\{A/0, B/0, D/0\}$
2	$\{A/1\}$
3	$\{B/1\}$
4	$\{D/1, E/1, F/1, C/0\}$
5	$\{C/1, E/0\}$
6	$\{F/0\}$

Il guasto $A/1$ compare solo nella prima riga della tabella 2.3, così come il guasto $B/1$; etichettiamoli dunque con i numeri 2 e 3 nella tabella 2.4. Il guasto $D/1$ compare sia nella prima riga (da solo), che nell'ultima riga (insieme ai guasti $E/1$ ed $F/1$) della tabella 2.3; possiamo raggrupparli insieme nella terna $\{D/1, E/1, F/1\}$. Se però guardiamo attentamente la tabella 2.3, osserviamo che il guasto $E/1$ compare nella seconda riga, insieme al guasto $C/0$. Tutti questi guasti sono tra loro indistinguibili, e pertanto possiamo creare la quarta classe di guasti, costituita precisamente dall'insieme $\{D/1, E/1, F/1, C/0\}$. Infine, uno sguardo alla tabella 2.3 ci permette di identificare la quinta e la sesta classe di guasti indistinguibili, e precisamente le classi $\{C/1, E/0\}$ (quinta) ed $\{F/0\}$ (sesta ed ultima), come riportato in tabella 2.4.

2.5. Costruzione della tabella di copertura. Inizia ora la fase più lunga del procedimento, la costruzione della tabella di copertura. Essa consiste nel costruire una *tabella della verità* del circuito *sano*, a fianco della quale vengono elencati, in tante colonne (nel nostro caso 6), tutte le classi di guasto indistinguibili di tabella 2.4. Inizialmente, la tabella di copertura si presenta come in figura 2.5.

Consideriamo ora la prima riga di questa tabella: notiamo come applicando gli ingressi $x = 0$, $y = 0$ e $z = 0$ su un circuito *sano*, l'uscita assume il valore $u = 1$. Ci domandiamo ora, per il verificarsi di quali classi di guasto (rappresentate in tabella 2.4) l'uscita *non* assume tale valore. Consideriamo innanzitutto la classe

TABELLA 5. Tabella di copertura da completare

x	y	z	u	1	2	3	4	5	6
0	0	0	1						
0	0	1	0						
0	1	0	1						
0	1	1	0						
1	0	0	1						
1	0	1	0						
1	1	0	1						
1	1	1	1						

1, cioè l'insieme $\{A/0, B/0, D/0\}$. Consideriamo *uno qualsiasi* tra i guasti di questo insieme (sono tutti indistinguibili tra loro, e quindi hanno il medesimo effetto sull'uscita), ad esempio $A/0$. Dato che l'ingresso x (che vale 0) è collegato al filo A (che per tale guasto rimane fisso al valore 0), l'uscita u non cambia, a seguito del verificarsi di questo guasto. Pertanto il verificarsi di tale guasto non influenza il valore dell'uscita, che rimane lo stesso sia in presenza che in assenza di esso. Per questo motivo, non scriviamo nulla pertanto sotto la colonna individuata dal numero 1 nella prima riga della tabella di copertura.

Consideriamo ora la seconda classe di guasto, cioè l'insieme $\{A/1\}$. Il verificarsi di questo guasto non influenza ancora l'uscita, visto che l'uscita della porta $P1$ rimane invariata, dato che l'altro suo ingresso y è 0. Anche la terza classe di guasto ($\{B/1\}$) non influenza l'uscita u . Anche il verificarsi di un guasto appartenente alla quarta classe, cioè all'insieme $\{D/1, E/1, F/1, C/0\}$ non influenza l'uscita del circuito; infatti al verificarsi di questo guasto (ad esempio $D/1$) l'uscita u rimane al valore 1 indipendentemente dal blocco di D ad 1, in quanto lo era già perchè il secondo ingresso della porta OR (cioè \bar{z}) si trova già ad 1 per effetto dell'ingresso $z = 0$ applicato alla porta NOT.

Dato che i guasti appartenenti alle classi 2, 3 e 4 non influenzano il valore di u , non scriviamo nulla nemmeno nelle colonne 2, 3 e 4 della tabella di copertura.

Consideriamo ora la quinta classe di guasto, cioè l'insieme $\{C/1, E/0\}$. Il blocco del collegamento C al valore 1 (e quindi di E a 0) fa cambiare l'uscita da 1 a 0. Pertanto, in presenza di un guasto appartenente a questa classe, può essere rilevato osservando che l'uscita non assume il valore desiderato. Contrassegnamo allora, con una crocetta, la colonna 5 della prima riga della tabella di copertura.

Infine, sempre con ingressi $x = y = z = 0$, notiamo che il verificarsi del guasto appartenente alla sesta ed ultima classe, cioè il blocco di F al valore 0, condiziona evidentemente l'uscita, che assume il valore 0 anzichè il valore 1 previsto per un circuito sano. Contrassegnamo allora con una crocetta anche l'ultima colonna della tabella di copertura.

Dopo questo primo passo, la prima riga della tabella di copertura si presenta come in tabella 2.5.

TABELLA 6. Completamento della prima riga della tabella di copertura

x	y	z	u	1	2	3	4	5	6
0	0	0	1					X	X

Si tratta ora di ripetere lo stesso procedimento per le rimanenti sette righe di tale tabella; a tal proposito si ripeta lo stesso ragionamento con ingressi $x = 0$,

$y = 0$, $z = 1$, completando così la seconda riga, e si continui sino all'ultima riga, relativa agli ingressi $x = y = z = 1$.

La tabella di copertura così completata, è riportata in tabella 2.5

TABELLA 7. Tabella di copertura completata

x	y	z	u	1	2	3	4	5	6
0	0	0	1					X	X
0	0	1	0				X		
0	1	0	1					X	X
0	1	1	0		X		X		
1	0	0	1					X	X
1	0	1	0			X	X		
1	1	0	1						X
1	1	1	1	X					X

2.6. Scelta delle prove necessarie. A questo punto, la scelta delle combinazioni di ingresso da utilizzarsi per il test del circuito, può essere fatta analizzando la tabella di copertura così completata. Da questa tabella, osserviamo innanzitutto che il guasto appartenente alla classe 1 può essere riconosciuto solo applicando la combinazione di ingresso $x = y = z = 1$ (ultima riga della tabella di copertura); e che tale combinazione permette di individuare anche la presenza del guasto appartenente alla classe 6. Per poter individuare un guasto appartenente alla classe 2, occorre applicare in ingresso la combinazione $x = 0$, $y = 1$, $z = 1$ (quarta riga della tabella di copertura). Questa combinazione permette altresì di individuare un guasto appartenente alla classe 4 (contrassegnata con una X nella colonna 4 di tale tabella). Per individuare un guasto appartenente alla classe 3, dobbiamo applicare in ingresso la combinazione $x = 1$, $y = 0$, $z = 1$ (e questi valori individuano ancora la presenza di un guasto appartenente alla classe 4, anche se ciò non ci interessa, avendo già a disposizione per esso la precedente combinazione degli ingressi). Infine, dobbiamo esaminare quali combinazioni di ingressi sono necessarie per individuare guasti appartenenti alle classi 5 e 6: in questo caso notiamo che gli ingressi relativi alla prima ($x = 0$, $y = 0$, $z = 0$), terza ($x = 0$, $y = 1$, $z = 0$) e quinta riga ($x = 1$, $y = 0$, $z = 0$) della tabella di copertura vanno bene; e qui ce ne basta una tra queste tre, *che possiamo scegliere liberamente*. Scegliamo, ad esempio, la prima combinazione: $x = 0$, $y = 0$, $z = 0$.

Possiamo allora concludere, che per testare il funzionamento del circuito di figura 3 sotto l'ipotesi del verificarsi di singoli guasti, occorre e basta controllare che l'uscita sia corretta quanto in ingresso sono applicate le combinazioni di ingresso scelte. In sintesi, affinché nel circuito non si verifichi la presenza di *guasti singoli* dovuti al blocco a 0 oppure ad 1 dei collegamenti tra le porte, occorre e basta che:

- Ingressi: $x = 0$, $y = 0$, $z = 0$. Uscita: 1.
- Ingressi: $x = 0$, $y = 1$, $z = 1$. Uscita: 0.
- Ingressi: $x = 1$, $y = 0$, $z = 1$. Uscita: 0.
- Ingressi: $x = 1$, $y = 1$, $z = 1$. Uscita: 1.

La ricerca di guasti multipli è più complessa di guasti singoli; l'abilità di un buon collaudatore consiste nel mettere a punto delle opportune sequenze di test atte ad identificare tutti i guasti (o il maggior numero possibile di essi, a seconda dell'affidabilità desiderata), utilizzando il minor numero possibile di combinazioni degli ingressi. Esistono tecniche di individuazione dei guasti anche per circuiti sequenziali, per le quali si rimanda a [2] e [5].

3. AVVERTENZA

Questo documento può essere liberamente distribuito, purché senza modifiche, integralmente, gratuitamente e senza scopo di lucro o altri scopi commerciali. Ogni cura é stata posta nella stesura del documento. Tuttavia l'Autore non può assumersi alcuna responsabilità derivante dall'utilizzo della stessa. Per la segnalazione di errori e *bugs* contattare l'autore all'indirizzo email: `davide.tambuchi@tin.it`. Ultimo aggiornamento: 8 febbraio 2004.

RIFERIMENTI BIBLIOGRAFICI

- [1] S.J. Cahill. *Digital and Microprocessor Engineering - second edition*, Ellis Horwood, Chichester, (1993).
- [2] Z. Kohavi. *Switching and Finite Automata Theory*, McGraw-Hill, New York, (1978).
- [3] M. Sami, R. Negrini. *Calcolatori Elettronici, Appunti del Corso*, CLUP, Milano, (1986).
- [4] J.D. Nicoud. *Progetto di Interfacce per Microprocessori*, Addyson-Wesley Masson, Milano, (1991).
- [5] S.H. Unger. *Asynchronous Sequential Switching Circuits*, Robert E. Krieger Publishing Company, Malabar, (1983).

Typeset by L^AT_EX 2_ε under LINUX